

(11)特許出願公開番号

特開平9-223721

(43)公開日 平成9年(1997)8月26日

(51) Int. Cl. ⁹	識別記号	片内整理番号	FI	技術表示箇所
H01L 21/60	311		H01L 21/60	311S
21/321			21/92	
23/12			23/12	L

審査請求 未請求 請求項の数10 OL (全 10 頁)

(21)出願番号 特願平8-28088

(22)出願日 平成8年(1996)2月15日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 森屋 晋

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 元岡 俊介

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 水越 正孝

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(74)代理人 弁理士 伊東 忠彦

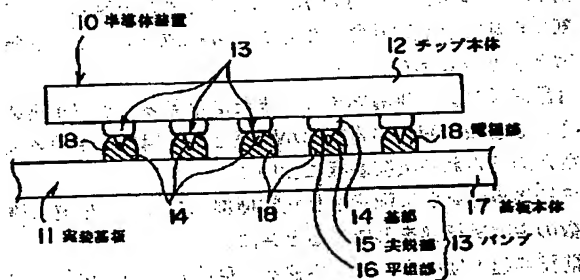
(54)【発明の名称】 半導体装置及びその製造方法及び実装基板及びその製造方法

(57) 【要約】

【課題】本発明は突起電極を有する半導体装置及びその製造方法及び実装用基板及びその製造方法に関し、安定したフリップチップ接合を可能とすることを課題とする。

【解決手段】複数のバンブ13が配設された構成を有しており、実装基板11に形成された電極部18に前記バンブ13が接続されることにより実装基板11に実装される半導体装置10において、前記バンブ13の先端部に尖鋭部15を形成し、この尖鋭部15が電極部18に嵌入されることにより実装基板11に実装される構成とした。

本発明の一実施例である半導体装置が実装基板に実装された状態を示す図



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 半導体チップまたは半導体チップが搭載される基板に複数の突起電極が配設された構成を有しており、実装基板に形成された電極部に前記突起電極が接続されることにより前記実装基板に実装される半導体装置において、

前記突起電極の先端部に尖鋭部を形成し、該尖鋭部が前記電極部に嵌入されることにより前記実装基板に実装されることを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、前記突起電極は、前記電極部よりも硬質な材質で形成されていることを特徴とする半導体装置。

【請求項3】 請求項1または2記載の半導体装置の製造方法であって、

半導体チップまたは半導体チップが搭載される基板に複数の突起電極を形成する突起電極形成工程と、形成された突起電極に対し尖鋭部形成用治具を押圧し、前記突起電極を変形させることにより尖鋭部を形成する尖鋭部形成工程とを具備することを特徴とする半導体装置の製造方法。

【請求項4】 請求項3記載の半導体装置の製造方法において、尖鋭部形成工程で用いられる尖鋭部形成用治具として、前記突起電極を押圧する部位に前記尖鋭部の形状に対応した凹部が形成されたものを用いたことを特徴とする半導体装置の製造方法。

【請求項5】 請求項1または2記載の半導体装置が実装される実装基板において、前記尖鋭部の形成位置と対応する位置に、前記尖鋭部が嵌入するホール電極を形成したことを特徴とする実装基板。

【請求項6】 請求項5記載の実装基板において、前記ホール電極は、基板本体に形成された孔部と、該孔部に形成された環状電極部とにより構成されることを特徴とする実装基板。

【請求項7】 半導体チップまたは半導体チップが搭載される基板に複数の電極部が配設された構成の半導体装置が装着される実装基板において、前記半導体装置に配設された電極部に対応する位置に複数の突起電極部を形成すると共に、前記突起電極の先端部に尖鋭部を形成し、該尖鋭部が前記電極部に嵌入されることにより前記半導体装置を実装することを特徴とする実装基板。

【請求項8】 請求項7記載の実装基板において、前記突起電極は、前記電極部よりも硬質な材質で形成されていることを特徴とする実装基板。

【請求項9】 請求項7または8記載の実装基板の製造方法であって、実装基板を構成する基板本体の半導体装置における電極部形成位置と対応する位置に突起電極を形成する突起電

極形成工程と、

形成された突起電極に対し尖鋭部形成用治具を押圧し、前記突起電極を変形させることにより尖鋭部を形成する尖鋭部形成工程とを具備することを特徴とする実装基板の製造方法。

【請求項10】 請求項9記載の実装基板の製造方法において、

尖鋭部形成工程で用いられる尖鋭部形成用治具として、前記突起電極を押圧する部位に前記尖鋭部の形状に対応した凹部が形成されたものを用いたことを特徴とする実装基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置及びその製造方法及び実装基板及びその製造方法に係り、特に突起電極を用いて実装処理を行う半導体装置及びその製造方法及び実装基板及びその製造方法に関する。

【0002】 近年、半導体装置の高密度化、高速化、小型化が要求されており、この要求に対応すべくフリップチップ実装方法が多く用いられるようになってきている。このフリップチップ実装方法においては、半導体チップ或いは半導体装置の所定位置に複数の突起電極を形成する必要がある。また、高密度化により突起電極の形成数も増大する傾向にある。更に、複数配設される突起電極の内、一つにでも接続不良が発生すると半導体チップ及び半導体装置は機能しなくなる。

【0003】 よって、信頼性の高い実装を行うためには、各突起電極を確実に実装基板に接続する必要がある。

【0004】

【従来の技術】 例えば、マルチチップモジュール(MCM)においては、ベアチップ状の半導体チップの一面に複数の突起電極(以下、バンプという)を形成し、このベアチップをマザーボードにフリップチップ接合により実装することが行われている。また、BGA(Ball Grid Array)構造の半導体装置は、半導体チップを搭載した基板の実装面に複数のバンプを形成し、この半導体装置を実装基板にフリップチップ接合により実装することが行われている。

【0005】 従来、上記突起電極を形成する方法としては、メッキ法、蒸着法、及びワイヤーボンディング法等が用いられており、また突起電極の材質としては半田或いは金(Au)が一般に用いられている。メッキ法により突起電極を形成する方法では、半導体チップ或いは基板にバンプ形成位置を残してレジストを配設し、これを電界メッキ槽に浸漬してバンプ形成位置にバンプを成長させる。また、蒸着法では、半導体チップ或いは基板にバンプ形成位置を残してレジストを配設し、これを蒸着装置に装着してバンプ形成位置にバンプを成長させる。図13(A)は、メッキ法或いは蒸着法を用いることに

より半導体チップ1上に形成されたパンプ2を示している。

【0006】一方、ワイヤーボンディング法では、ワイヤーボンディング装置を用い、パンプ形成位置に金ワイヤを接合した後、キャピラリを微量上昇させた時点でワイヤカットを行い、これによりパンプ形成位置にスタットパンプを形成する。図13(B)は、ワイヤーボンディング法を用いることにより半導体チップ1上に形成されたスタットパンプ3を示している。

【0007】上記のようにパンプが形成された半導体チップ10 11 又は半導体装置(以下、半導体チップ及び半導体装置を総称して半導体装置という)は、マザーボード或いは実装基板(以下、マザーボード及び実装基板を総称して実装基板という)にフリップチップ接合される。このため、図14(A)に示されるように、実装基板4のパンプ5が形成された位置と対応する位置には平面電極6が形成されており、この平面電極6にパンプ5がフリップチップ接合されることにより半導体装置7は実装基板4に電気的に接合させる構成とされていた。尚、図14(B)は半導体装置7が実装基板4にフリップチップ 20 接合された状態を示している。

【0008】また、接合時におけるフリップチップ方法はパンプの材質に依存する。具体的には、半田の場合にはパンプを加熱・加圧することにより平面電極に接合させ、金スタットパンプの場合には半導体装置と実装基板の間に導電性樹脂等を介在させた上で加圧することにより平面電極に接合させる構成とされていた。

【0009】

【発明が解決しようとする課題】ところで、フリップチップ接合の場合、パンプ5が実装基板4上に形成された 30 平面電極6と安定した接続を行うためには、パンプ5の高さを一定化することが不可欠である。このため従来では、パンプ5に対してその高さを一定化するためのレベリング処理を行っている。

【0010】このレベリング処理は、図15(A)に示されるように、パンプ5の形成後に押圧部が平坦面とされたレベリング用治具8にてパンプ5の上部を押圧し、パンプ5の上部に平坦部5aを成形する処理である。しかるに従来のレベリング処理は、単にパンプ5の上部に平坦部5aを成形するのみの処理であったため、パンプ5自体のボリューム(大きさ)にバラツキがある場合には、レベリング処理により形成された平坦部5aの面積に差が生じてしまう。即ち、パンプ5のボリュームが大きい場合には平坦部5aの面積は大きくなり、逆にパンプ5のボリュームが小さい場合には平坦部5aの面積は小さくなる。

【0011】よって、上記のように平坦部5aの面積にバラツキがあるパンプ5が形成された半導体装置7を実装基板4にフリップチップ接合すると、パンプ5と平面電極6との接続面積にバラツキが生じ、接続抵抗(接続 50

インピーダンス)に差が生じてしまうという問題点が生じる。このように接続抵抗に差が生じると、高速化された半導体装置7の場合には、接続抵抗差に起因して半導体装置7の処理速度にバラツキが生じ、安定した処理が行えないおそれがある。

【0012】本発明は上記の点に鑑みてなされたものであり、安定したフリップチップ接合を可能とした半導体装置及びその製造方法及び実装基板及びその製造方法を提供することを目的とする。

【0013】

【課題を解決するための手段】上記の課題は、下記の手段を講じることにより解決することができる。請求項1記載の発明では、半導体チップまたは半導体チップが搭載される基板に複数の突起電極が配設された構成を有しており、実装基板に形成された電極部に前記突起電極が接続されることにより前記実装基板に実装される半導体装置において、前記突起電極の先端部に尖鋭部を形成し、該尖鋭部が前記電極部に嵌入されることにより前記実装基板に実装されることを特徴とするものである。

【0014】また、請求項2記載の発明では、前記請求項1記載の半導体装置において、前記突起電極は、前記電極部よりも硬質な材質で形成されていることを特徴とするものである。

【0015】また、請求項3記載の発明では、前記請求項1または2記載の半導体装置の製造方法であって、半導体チップまたは半導体チップが搭載される基板に複数の突起電極を形成する突起電極形成工程と、形成された突起電極に対し尖鋭部形成用治具を押圧し、前記突起電極を変形させることにより尖鋭部を形成する尖鋭部形成工程とを具備することを特徴とするものである。

【0016】また、請求項4記載の発明では、前記請求項3記載の半導体装置の製造方法において、尖鋭部形成工程で用いられる尖鋭部形成用治具として、前記突起電極を押圧する部位に前記尖鋭部の形状に対応した凹部が形成されたものを用いたことを特徴とするものである。

【0017】また、請求項5記載の発明では、前記請求項1または2記載の半導体装置が実装される実装基板において、前記尖鋭部の形成位置と対応する位置に、前記尖鋭部が嵌入するホール電極を形成したことを特徴とするものである。

【0018】また、請求項6記載の発明では、前記請求項5記載の実装基板において、前記ホール電極は、基板本体に形成された孔部と、該孔部に形成された環状電極部とにより構成されることを特徴とするものである。

【0019】また、請求項7記載の発明では、半導体チップまたは半導体チップが搭載される基板に複数の電極部が配設された構成の半導体装置が装着される実装基板において、前記半導体装置に配設された電極部に対応する位置に複数の突起電極部を形成すると共に、前記突起電極の先端部に尖鋭部を形成し、該尖鋭部が前記電極部

に嵌入されることにより前記半導体装置を実装することを特徴とするものである。

【0020】また、請求項8記載の発明では、前記請求項7記載の実装基板において、前記突起電極は、前記電極部よりも硬質な材質で形成されていることを特徴とするものである。

【0021】また、請求項9記載の発明では、前記請求項7または8記載の実装基板の製造方法であって、実装基板を構成する基板本体の半導体装置における電極部形成位置と対応する位置に突起電極を形成する突起電極形成工程と、形成された突起電極に対し尖鋭部形成用治具を押圧し、前記突起電極を変形させることにより尖鋭部を形成する尖鋭部形成工程とを具備することを特徴とするものである。

【0022】更に、請求項10記載の発明では、前記請求項9記載の実装基板の製造方法において、尖鋭部形成工程で用いられる尖鋭部形成用治具として、前記突起電極を押圧する部位に前記尖鋭部の形状に対応した凹部が形成された構成のものをを用いたことを特徴とするものである。

【0023】上記した各手段は、下記のように作用する。請求項1記載の発明によれば、基板に複数配設された突起電極の先端部に尖鋭部を形成し、この尖鋭部が実装基板に形成された電極部に嵌入することにより半導体装置が実装基板に実装される構成としたことにより、実装状態において尖鋭部は実装基板に形成されている電極部に突き刺さった状態となる。

【0024】このように、突起電極の先端部に形成された尖鋭部が実装基板に形成されている電極部に嵌入することにより、突起電極と電極部との電気的な接続面積を増大することができ、突起電極の大きさにバラツキが生じていたとしても突起電極と電極部との電気的接続を確実に行うことができる。

【0025】更に、突起電極と電極部との電気的接続を行うに際し、半導体装置と実装基板との間に他の導電性部材を介在させる必要がなくなるため、部品点数の削減及び製造工程の単純化を図ることができる。また、請求項2及び8記載の発明によれば、突起電極は電極部よりも硬質な材質で形成されているため、突起電極は形成された尖鋭部を確実に電極部に嵌入することができる。

【0026】また、請求項3記載の発明によれば、前記請求項1または2記載の半導体装置を製造するに際し、突起電極形成工程において半導体チップまたは半導体チップが搭載される基板に複数の突起電極を形成し、続いて実施される尖鋭部形成工程において、形成された突起電極に対し尖鋭部形成用治具を押圧して突起電極を変形させ尖鋭部を形成することにより、簡単に尖鋭部を形成することができる。

【0027】即ち、尖鋭部形成工程は従来実施されているレベリング処理に代えて行われるものであり、尖鋭部

形成工程を設けてもこれにより製造工程が複雑化するようなことはない。また、尖鋭部形成工程は単に突起電極に対し尖鋭部形成用治具を押圧することにより尖鋭部を形成する工程であるため、容易に尖鋭部を形成することができる。

【0028】また、請求項4及び10記載の発明によれば、尖鋭部形成工程において、突起電極を押圧する部位に尖鋭部の形状に対応した凹部が形成された尖鋭部形成用治具を用いたことにより、簡単な構成の治具で容易かつ確実に尖鋭部を形成することができる。

【0029】また、請求項5及び6記載の発明によれば、尖鋭部の形成位置と対応する位置に尖鋭部が嵌入するホール電極を形成したことにより、前記請求項1または2記載の半導体装置を実装基板に装着した際、突起電極の尖鋭部はホール電極内に嵌入される。よって、突起電極とホール電極との接続状態を一定化でき、これに伴い接続面積も一定化するため、安定した電気特性を得ることができる。

【0030】また、請求項7記載の発明によれば、実装基板に複数配設された突起電極の先端部に尖鋭部を形成し、この尖鋭部が電極部に嵌入することにより半導体装置を実装基板に実装する構成としたことにより、実装状態において尖鋭部は実装基板に形成されている電極部に突き刺さった状態となる。

【0031】このように、尖鋭部が電極部に嵌入することにより、突起電極と電極部との電気的な接続面積を増大することができ、突起電極の大きさにバラツキが生じていたとしても突起電極と電極部との電気的接続を確実に行うことができる。更に、突起電極と電極部との電気的接続を行うに際し、半導体装置と実装基板との間に他の導電性部材を介在させる必要がなくなるため、部品点数の削減及び製造工程の単純化を図ることができる。

【0032】更に、請求項9記載の発明によれば、前記請求項7または8記載の実装基板を製造するに際し、突起電極形成工程において実装基板を構成する基板本体に複数の突起電極を形成し、続いて実施される尖鋭部形成工程において、形成された突起電極に対し尖鋭部形成用治具を押圧して突起電極を変形させ尖鋭部を形成することにより、簡単に尖鋭部を形成することができる。

【0033】即ち、尖鋭部形成工程は従来実施されているレベリング処理に代えて行われるものであり、尖鋭部形成工程を設けてもこれにより製造工程が複雑化するようなことはない。また、尖鋭部形成工程は単に突起電極に対し尖鋭部形成用治具を押圧することにより尖鋭部を形成する工程であるため、容易に尖鋭部を形成することができる。

【0034】

【発明の実施の形態】次に本発明の実施の形態について図面と共に説明する。図1及び図2は本発明の一実施例である半導体装置10を示しており、図1は半導体装置

10を実装基板11に実装した状態を、また図2は半導体装置10を実装基板11に実装する前の状態を示している。

【0035】尚、本発明はバンプが形成された半導体チップ及び半導体装置（例えばBGA構造の半導体装置）の双方に適用することができるが、以下の説明においては、この半導体チップ及び半導体装置を総称して半導体装置10というものとする。図1及び図2に示す例では、半導体装置10として半導体チップを用いた例を示しており、チップ本体12の実装基板11と対向する面には複数の突起電極13（以下、バンプという）が形成されている。このバンプ13は、例えば材料として高融点半田が用いられており、基部14の先端部に尖鋭部15が形成されたことを特徴としている。

【0036】基部14はその一端部が半導体装置10に形成されているパッド37（図3に示す）に接合されており、これによりバンプ13は半導体装置10と電氣的に接続されている。また、尖鋭部15は基部14と一体的に形成されており、例えば円錐形状等の尖った形状を有している。この尖鋭部15は基部14の先端部に形成された平坦部16の中央に形成されており、実装基板11に向け突出した構成とされている。

【0037】一方、上記構成とされた半導体装置10が実装される実装基板11は、図1及び図2に加え図4に示されるように、基板本体17の半導体装置10と対向する面に複数の電極部18が形成されている。この電極部18は突起電極状（バンプ状）の形状を有しており、また半導体装置10に配設されているバンプ13の材料に対し柔らかい材料（例えば金（Au））で形成されている。更に、電極部18の配設位置は、バンプ13の形成位置と対応するよう構成されている。

【0038】続いて、上記構成とされた半導体装置10を実装基板11に実装する方法について説明する。半導体装置10を実装基板11に実装するには、図2に示されるように、バンプ13とバンプ状の電極部18とが対向するよう半導体装置10と実装基板11とを位置決めし、続いて半導体装置10を実装基板11に向け押圧する。前記のように、バンプ13と電極部18とは位置決めされているため、半導体装置10を実装基板11に向け押圧することにより、バンプ13は電極部18に向け押圧される。

【0039】この際、上記のようにバンプ13はその先端部に尖った尖鋭部15が形成されており、かつバンプ13は電極部18に対して硬い材質により形成されており、更に電極部18はバンプ状とされているため、上記押圧処理により尖鋭部15は電極部18に嵌入する。

【0040】図3は、バンプ13に形成された尖鋭部15が電極部18に嵌入した状態を拡大して示している。同図に示されるように、バンプ13が電極部18に嵌入した状態で、尖鋭部15は電極部18に突き刺さった状

態となっている。このように、半導体装置10を実装基板11に実装した状態において、バンプ13の先端部に形成された尖鋭部15が実装基板11に形成されている電極部18に嵌入するため、バンプ13と電極部18との電氣的な接続面積を増大することができる。即ち、尖鋭部15は上記したように円錐形状等の表面積の広い形状とされているため、バンプ13と電極部18との接触面積は増大する。

【0041】よって、バンプ13の大きさにバラツキが生じていたとしても、バンプ13と電極部18との接触面積は十分に広くなり、バンプ13と電極部18の電氣的接続を確実に行うことができる。これにより、バンプ13と電極部18との電氣的接続位置において接続抵抗（接続インピーダンス）にバラツキが発生することを防止でき、従って高速化された半導体装置10であっても安定した処理を確保することができる。

【0042】また、バンプ13と電極部18との電氣的接続を行うに際し、従来のスタットバンプ3を用いた実装構造で必要とされた導電性部材が不要となるため、従来のスタットバンプ3を用いた実装構造に比べて部品点数の削減及び製造工程の簡単化を図ることができる。

【0043】更に、本実施例においては、バンプ13を電極部18に機械的に嵌入させることにより接続を行う構成とされているため、従来バンプを電極部に接続する際に必要とされた加熱処理を不要とすることができる。よって、実装処理の簡単化を図ることができると共に、半導体装置10に熱ダメージが発生することを防止することができる。尚、バンプ13と電極部18との電氣的接続をより確実にするために、従来と同様に実装時に加熱雰囲気下でバンプ13と電極部18とを接合する構成としてもよい。

【0044】続いて、上記構成とされた半導体装置10の製造方法について説明する。尚、本発明に係る半導体装置10の製造方法は、バンプ13の形成方法に特徴を有するため、以下の説明においてはバンプ13の形成方法についてのみ説明するものとする。

【0045】バンプ13は、突起電極形成工程と尖鋭部形成工程とを実施することにより形成される。突起電極形成工程は、半導体装置10の所定位置に尖鋭部15が形成されていない状態のバンプ13a（即ち、従来構成のバンプ）を形成する工程であり、尖鋭部形成工程は突起電極形成工程で形成されたバンプ13aに対して尖鋭部15を形成する工程である。以下、各構成について説明する。

【0046】バンプ13を形成するには、突起電極形成工程においてメッキ法、蒸着法、或いはワイヤーボンディング法等を用いて半導体装置10の所定位置にバンプ13aを形成する。このバンプ13aの形成方法は、特に限定されるものではなく、上記した各方法の何れを用いて形成してもよい。また、上記のバンプ13aの形成

方法は、何れもパンプ形成方法として一般に知られているものであり、よって従来から用いられているパンプ形成設備をそのまま用いてパンプ13aを形成することができる。

【0047】図5は、突起電極形成工程を実施することにより、パンプ13aが形成された半導体装置10を示している。この突起電極形成工程が終了した状態では、パンプ13aにはまだ尖鋭部15は形成されておらず、よってパンプ13aは球状或いは柱状形状となっている(図5では球状形状を示す)。

【0048】突起電極形成工程が終了すると、続いて尖鋭部形成工程が実施される。尖鋭部形成工程では、図6及び図7に示されるように、尖鋭部形成用治具19(以下、単に治具という)を用いてパンプ13aの先端部に尖鋭部15を形成する。治具19は、図6及び図8

(A)に示すように、パンプ13aと当接する先端部に例えば円錐形状の凹部20と環状の平面部21とを有しており、図示しない昇降機構により上下動する構成とされている。パンプ13aに尖鋭部15を形成する際、治具19は昇降機構により図6に示されるようにパンプ13aに向け下降してパンプ13aの先端部を加圧する。

【0049】この際、治具19は成型型として機能し、よってパンプ13aの先端部には凹部20の形状に対応した尖鋭部15が形成される。また、同時にパンプ13aの先端部には平面部21に対応した平坦部16も形成される。これにより、図7に示される基部14、尖鋭部15、及び平坦部16を有したパンプ13が形成される。

【0050】上記した尖鋭部形成工程は、従来実施されていたレベリング処理(図15参照)に代えて行われるものであり、尖鋭部形成工程を設けてもこれにより製造工程が複雑化するようなことはない。また、治具19を上下動させる昇降機構も従来のレベリング処理においてレベリング用治具8を駆動する機構として用いられているものであり、よってレベリング用治具8を治具19に交換するだけで尖鋭部15を形成することが可能となる。更に、尖鋭部形成工程は単に突起電極13aに対し治具19を押圧するだけの処理であるため、容易に尖鋭部15を形成することができる。

【0051】尚、上記した尖鋭部形成工程で使用した治具19は、半導体装置10に形成された複数のパンプ13aに対し、1個ずつ尖鋭部15を形成する構成のものであったが、図8(B)に示されるように、複数のパンプ13aの形成位置に対応するよう複数の凹部20を平面部21内に設けた構成の治具22を用意し、この治具22を用いて尖鋭部形成工程を実施することにより、複数のパンプ13aに対し効率良く尖鋭部15を形成することが可能となる。

【0052】また、上記した尖鋭部形成工程では、従来実施されていたレベリング処理の効果をそのまま維持す

ることができ、尖鋭部15の形成時に同時に形成される平坦部16の高さは均一となるよう構成されている。続いて、本発明に係る実装基板の第1実施例について説明する。

【0053】図9は第1実施例に係る実装基板25にBGA構造の半導体装置30が実装された状態を示している。まず、BGA構造の半導体装置30について説明する。BGA構造の半導体装置30は、大略すると基板31、封止樹脂33、及び突起電極である複数のパンプ34(以下、電極部という)等により構成されている。

【0054】基板31は例えばガラス・エポキシ製の基板であり、その上面31aに半導体チップ32を搭載すると共に、所定のパターンを有する配線35が形成されている。この配線35の所定位置で半導体チップ32とは、ワイヤ36を用いて電氣的に接続されている。また、基板31の上面31aには、半導体チップ32及びワイヤ36を封止するように封止樹脂33が形成されており、この封止樹脂33により半導体チップ32及びワイヤ36は外部に対して保護される構成とされている。

【0055】一方、基板31の下面31bには複数のパンプ電極部34が配設されている。この電極部34は半導体装置30の外部接続端子として機能するものであり、基板31に形成された配線及びスルーホール(共に図示せず)により配線35に接続されている。従って、半導体チップ32はワイヤ36、配線、スルーホールを介して電極部34に電氣的に接続された構成とされている。

【0056】上記構成された半導体装置30は実装基板25に実装される。実装基板25は、基板本体24に複数のパンプ26を形成した構成とされている。このパンプ26の形成位置は、半導体装置30に設けられた電極部34の形成位置と対応するよう構成されている。また、パンプ26は材料として例えば高融点半田が用いられており、前記した半導体装置10側に配設されたパンプ13と同様に基部27、尖鋭部28、及び平坦部28を一体的に形成した構成とされている。

【0057】基部27はその一端部が基板本体24に形成されているパッド(図示せず)に接合されており、これによりパンプ26は実装基板25と電氣的に接続されている。また、尖鋭部28は円錐形状等の尖った形状を有しており、基部27の先端部に形成された平坦部29の中央に上部に向け突出するよう形成されている。尚、パンプ26の材質は、前記した半導体装置30に設けられた電極部34の材質に対して硬い材料とされている。

【0058】上記構成とされた実装基板25に半導体装置30を実装するには、パンプ26と電極部34とが対向するよう半導体装置30と実装基板25とを位置決めし、続いて半導体装置30を実装基板25に向け押圧する。これにより、電極部34はパンプ26に向け押圧される。この際、上記のようにパンプ26はその先端部に

尖った尖鋭部28が形成されており、かつパンプ26は電極部34に対して硬い材質により形成されているため、上記押圧処理により尖鋭部28は電極部34に嵌入する。

【0059】このように、半導体装置30を実装基板25に実装した状態において、尖鋭部28が電極部34に嵌入するため、パンプ26と電極部34との電氣的な接続面積を増大することができる。よって、パンプ26或いは電極部34の大きさにバラツキが生じていたとしても、パンプ26と電極部34との接触面積は十分に広くなり、パンプ26と電極部34の電氣的接続を確実に行うことができる。

【0060】これにより、パンプ26と電極部34との電氣的接続位置において接続抵抗（接続インピーダンス）にバラツキが発生することを防止でき、従って高速化された半導体装置30であっても安定した処理を確保することができる。また、導電性部材を半導体装置30と実装基板25との間に介在させる必要もなく、部品点数の削減及び製造工程の単純化を図ることができる。

【0061】更に、本実施例においては、パンプ26を電極部34に機械的に嵌入させることにより接続を行う構成とされているため、両者26、34の接続に際し加熱処理を不要とすることができ、よって実装処理の単純化及び半導体装置30に熱ダメージが発生することを防止することができる。

【0062】尚、実装基板25にパンプ26を形成する方法については、図5乃至図8を用いて説明したパンプ13の形成方法と同一であるため、その説明は省略する。続いて、本発明に係る実装基板の第2実施例について説明する。図10は第2実施例に係る実装基板40を示している。本実施例に係る実装基板40は基板本体41に複数のホール電極42を形成したことを特徴とするものであり、例えば図1に示した半導体装置10が実装されるものである。

【0063】この実装基板40に形成されるホール電極42は、基板本体41に形成された孔部42aと、この孔部42aに形成された環状電極部42bとにより構成されている。また、ホール電極42の形成位置は、半導体装置10に設けられたパンプ13の形成位置と対応するよう設定されている。このホール電極42の形成方法としては、基板形成技術の一つとして一般に用いられているスルーホール形成技術を利用することができ、よってホール電極42を容易に形成することができる。

【0064】図11は、第2実施例に係る実装基板40に図1に示した半導体装置10が実装された状態を示している。同図に示されるように、実装状態において半導体装置10に形成されたパンプ13は実装基板40に形成されたホール電極42に電氣的に接続する。具体的には、実装状態においてパンプ13に形成された尖鋭部15はホール電極42の孔部42aに嵌入し、パンプ13

に形成された平坦部16はホール電極42の環状電極部42bの上部と当接する。

【0065】上記のように、尖鋭部15が孔部42aに嵌入することにより、パンプ13とホール電極42との位置決めを一義的に行うことができ、また共に平坦面とされたパンプ13の平坦部16と環状電極部42bとが当接することにより、パンプ13とホール電極42との接続状態を一定化でき、これに伴い接続面積も一定化するため、安定した電気特性を得ることができる。

【0066】図12は、図11における接続構造をより強化するために、ホール電極42の裏側から裏打ち材43を設けた構成を示している。この裏打ち材43は、例えば半田よりなり、ホール電極42の裏側から孔部42a内に充填し配設された構成とされている。

【0067】この構成とすることにより、尖鋭部15とホール電極42との電氣的な接続面積を更に増大することができ、よってパンプ13とホール電極42との電氣的接続をより確実に行うことができる。また、これに伴いパンプ13とホール電極42との機械的接続強度も向上するため、実装の信頼性をより向上させることができる。

【0068】

【発明の効果】上述の如く本発明によれば、下記の種々の効果を実現することができる。請求項1及び7記載の発明によれば、実装状態において突起電極の先端部に形成された尖鋭部が実装基板に形成されている電極部に嵌入することにより、突起電極と電極部との電氣的な接続面積を増大することができ、突起電極の大きさにバラツキが生じていたとしても突起電極と電極部との電氣的接続を確実に行うことができる。また、突起電極と電極部との電氣的接続を行うに際し、半導体装置と実装基板との間に他の導電性部材を介在させる必要がなくなるため、部品点数の削減及び製造工程の単純化を図ることができる。

【0069】また、請求項2及び8記載の発明によれば、突起電極は電極部よりも硬質な材質で形成されているため、突起電極に形成された尖鋭部を確実に電極部に嵌入することができる。また、請求項3及び9記載の発明によれば、尖鋭部形成工程において突起電極に対し尖鋭部形成用治具を押圧して突起電極を変形させ尖鋭部を形成するため、簡単に尖鋭部を形成することができる。

【0070】また、請求項4及び10記載の発明によれば、尖鋭部形成工程において突起電極を押圧する部位に尖鋭部の形状に対応した凹部が形成された尖鋭部形成用治具を用いたことにより、簡単な構成の治具で容易かつ確実に尖鋭部を形成することができる。

【0071】更に、請求項5及び6記載の発明によれば、突起電極とホール電極との接続状態を一定化でき、これに伴い接続面積も一定化するため、安定した電気特性を得ることができる。

【図面の簡単な説明】

【図1】本発明の一実施例である半導体装置が実装基板に実装された状態を示す図である。

【図2】本発明の一実施例である半導体装置が実装基板に実装される前の状態を示す図である。

【図3】バンプと電極部との接続部分を拡大して示す図である。

【図4】本発明の一実施例である半導体装置が実装される実装基板を示す図である。

【図5】本発明の一実施例である半導体装置の製造方法10を説明するための図である（突起電極形成工程）。

【図6】本発明の一実施例である半導体装置の製造方法を説明するための図である（尖鋭部形成工程）。

【図7】尖鋭部形成工程により形成された尖鋭部を拡大して示す図である。

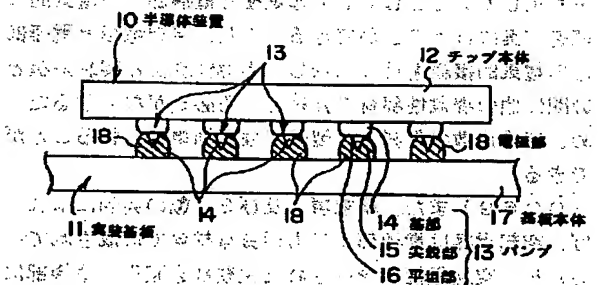
【図8】尖鋭部形成工程で用いる尖鋭部形成用治具を説明するための図である。

【図9】本発明に係る実装基板の第1実施例を説明するための図である。

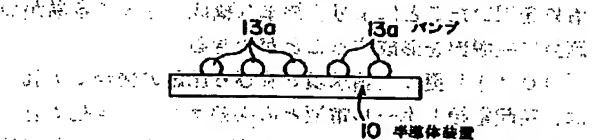
【図10】本発明に係る実装基板の第2実施例を説明するための図である。

【図11】第2実施例に係る実装基板にバンプが接合した状態を拡大して示す図である。

【図1】本発明の一実施例である半導体装置が実装基板に実装された状態を示す図



【図5】本発明の一実施例である半導体装置の製造方法10を説明するための図（突起電極形成工程）



【図12】図11に示す接合状態において、半田を裏打ちした構成を示す図である。

【図13】従来の半導体装置に設けられるバンプを説明するための図である。

【図14】従来の半導体装置の実装方法を説明するための図である。

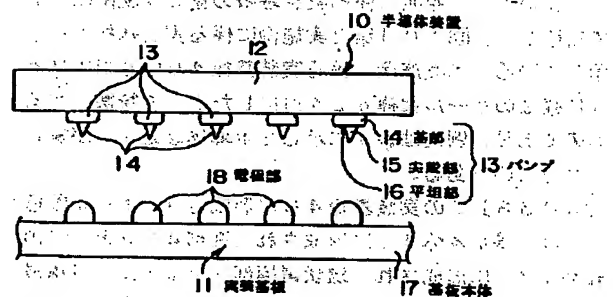
【図15】従来の半導体装置の製造方法を説明するための図である。

【符号の説明】

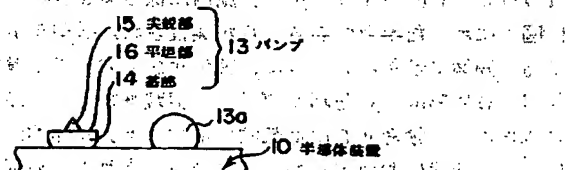
- 10、30 半導体装置
- 11、25、40 実装基板
- 13、13a、26 バンプ
- 14、27 基部
- 15、28 尖鋭部
- 16、29 平坦部
- 18、34 電極部
- 19、22 治具（尖鋭部形成用治具）
- 20 凹部
- 21 平面部
- 31 基板
- 32 半導体チップ
- 42 ホール電極
- 43 裏打ち材

【図2】

本発明の一実施例である半導体装置が実装基板に実装される前の状態を示す図

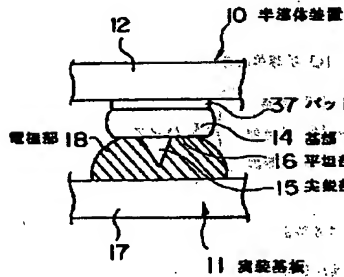


【図7】尖鋭部形成工程により形成された尖鋭部を拡大して示す図



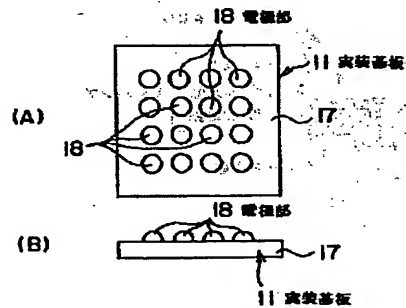
【図3】

パンプと電極部との接続部分を拡大して示す図



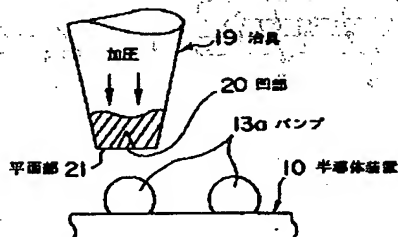
【図4】

本発明の一実施例である半導体装置が実装される実装基板を示す図



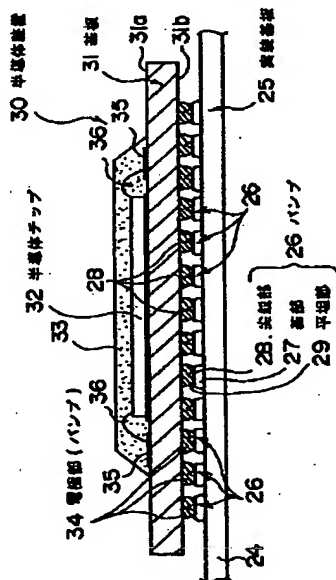
【図6】

本発明の一実施例である半導体装置の製造方法を説明するための図（尖鋭部形成工程）



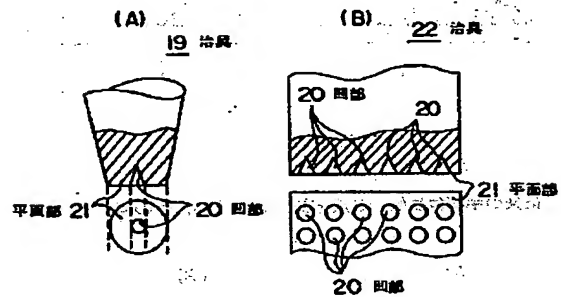
【図9】

本発明に係る実装基板の第1実施例を説明するための図



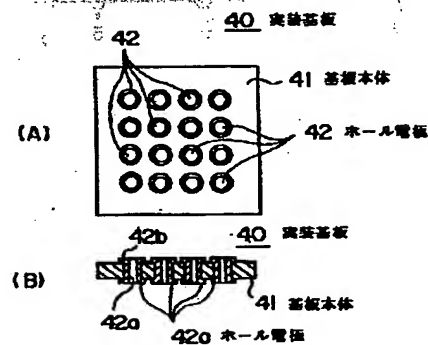
【図8】

尖鋭部形成工程で用いる尖鋭部形成用治具を説明するための図



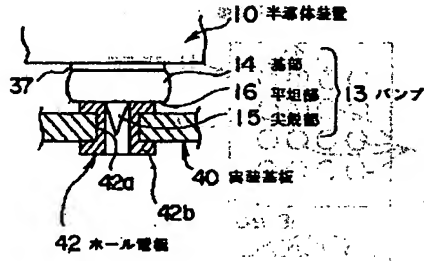
【図10】

本発明に係る実装基板の第2実施例を説明するための図



【図11】

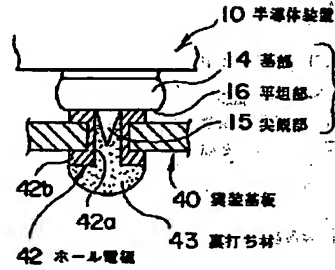
第2実施例に係る実装基板にパンプが接合した状態を拡大して示す図



【図13】

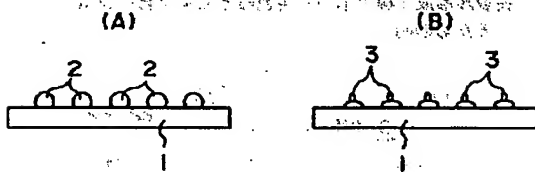
【図12】

図11に示す接合状態において、半田を裏打ちした構成を示す図



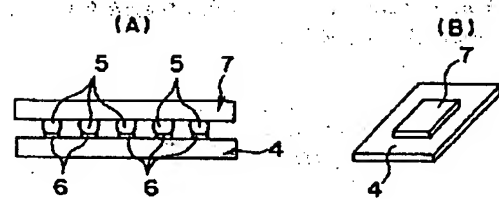
【図14】

従来の半導体装置に設けられるパンプを説明するための図



【図15】

従来の半導体装置の実装方法を説明するための図



従来の半導体装置の製造方法を説明するための図

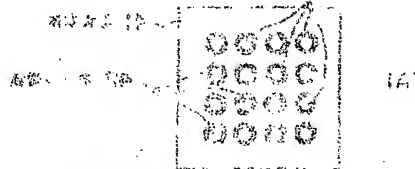
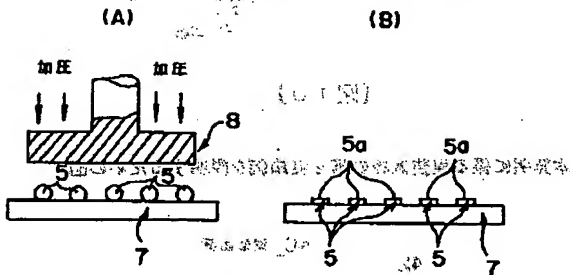
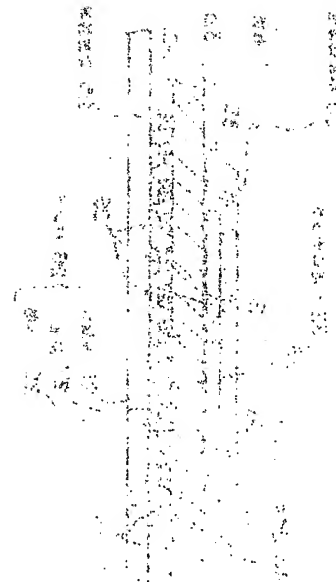


図17(A)に示すパンプの製造方法を示す図



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-223721
 (43)Date of publication of application : 26.08.1997

(51)Int.Cl.

H01L 21/60
 H01L 21/321
 H01L 23/12

(21)Application number : 08-028088
 (22)Date of filing : 15.02.1996

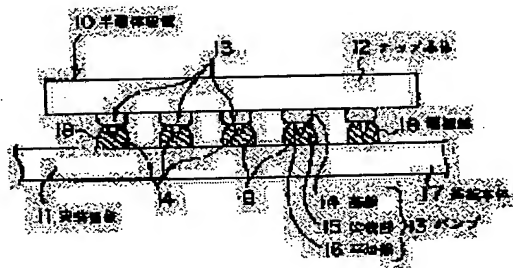
(71)Applicant : FUJITSU LTD
 (72)Inventor : MORIYA SUSUMU
 MOTOOKA SHUNSUKE
 MIZUKOSHI MASATAKA

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE, AND MOUNTING BOARD AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To enable stable flip chip bonding, by forming a sharp part in the tip part of a protruding electrode, fitting the sharp part in an electrode part, and mounting a device on a mounting board.

SOLUTION: When a semiconductor device 10 is mounted on a mounting board 11, the semiconductor device 10 and the mounting board 11 are positioned in such a manner that bumps 13 face electrodes 18 of bump types, and then the semiconductor device 10 is pressed against the mounting board 11. The bump 13 has a sharp part on the tip part, and is formed of hard material as compared with the electrode part 18. The electrode part 18 is formed in a bump type. By pressing process, the sharp part 15 is fitted in the electrode part 18. The sharp part 15 has a large surface area of a conical form or the like, so that the contact areas of the bump 13 and the electrode part 18 are increased. Thereby generation of dispersion of connection resistance in the electric connection position of the bump 13 and the electrode part 18 can be prevented.



LEGAL STATUS

[Date of request for examination] 24.03.2000
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number] 3370842
 [Date of registration] 15.11.2002
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

10-13-1981

10-13-1981

10-13-1981

10-13-1981
10-13-1981
10-13-1981
10-13-1981

10-13-1981

10-13-1981

10-13-1981

10-13-1981

10-13-1981

10-13-1981

10-13-1981

THIS PAGE BLANK (USPTO)

10-13-1981

10-13-1981

10-13-1981

10-13-1981

10-13-1981

10-13-1981

10-13-1981

10-13-1981

10-13-1981

10-13-1981

10-13-1981

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The semiconductor device characterized by to be mounted in said mounting substrate by having the configuration in which two or more projection electrodes were arranged by the substrate in which a semiconductor chip or a semiconductor chip is carried, forming the acute section in the point of said projection electrode in the semiconductor device mounted in said mounting substrate by connecting said projection electrode to the polar zone formed in the mounting substrate, and inserting this acute section in said polar zone.

[Claim 2] It is the semiconductor device characterized by forming said projection electrode with the quality of the material more nearly hard than said polar zone in a semiconductor device according to claim 1.

[Claim 3] The manufacture approach of the semiconductor device characterized by providing the projection electrode formation process which is the manufacture approach of a semiconductor device according to claim 1 or 2, and forms two or more projection electrodes in the substrate in which a semiconductor chip or a semiconductor chip is carried, and the acute section formation process which forms the acute section by pressing the fixture for acute section formation to the formed projection electrode, and making said projection electrode transform.

[Claim 4] The manufacture approach of the semiconductor device characterized by using that by which the crevice corresponding to the configuration of said acute section was formed in the part which presses said projection electrode in the manufacture approach of a semiconductor device according to claim 3 as a fixture for acute section formation used with an acute section formation process.

[Claim 5] The mounting substrate characterized by forming in the formation location of said acute section, and a corresponding location the hole electrode which said acute section inserts in the mounting substrate with which a semiconductor device according to claim 1 or 2 is mounted.

[Claim 6] It is the mounting substrate characterized by being constituted by the pore by which said hole electrode was formed in the substrate body in the mounting substrate according to claim 5, and the annular polar zone formed in this pore.

[Claim 7] The mounting substrate characterized by mounting said semiconductor device by forming the acute section in the point of said projection electrode, and inserting this acute section in said polar zone while forming two or more projection polar zone in the location corresponding to the polar zone arranged by said semiconductor device in the mounting substrate with which the substrate in which a semiconductor chip or a semiconductor chip is carried is equipped with the semiconductor device of a configuration of that two or more polar zone was arranged.

[Claim 8] It is the mounting substrate [claim 9] characterized by forming said projection electrode with the quality of the material more nearly hard than said polar zone in a mounting substrate according to claim 7. The manufacture approach of the mounting substrate which carries out [providing the projection electrode formation process which forms a projection electrode in the polar-zone formation location in the semiconductor device of the substrate body which is the manufacture approach of a mounting substrate according to claim 7 or 8, and constitutes a mounting substrate, and a corresponding location, and the acute section formation process which form the acute section by pressing the fixture for acute section formation to the formed projection electrode, and making said projection electrode transform and] as the description.

[Claim 10] The manufacture approach of the mounting substrate characterized by using that by which the crevice corresponding to the configuration of said acute section was formed in the part which presses said projection electrode in the manufacture approach of mounting ***** according to claim 9 as a fixture for acute section formation used with an acute section formation process.

[Translation done.]

THIS PAGE BLANK (USPTO)

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the semiconductor device which is applied to a semiconductor device, its manufacture approach, a mounting substrate, and its manufacture approach, especially performs mounting processing using a projection electrode, its manufacture approach, a mounting substrate, and its manufacture approach.

[0002] In recent years, the densification of a semiconductor device, improvement in the speed, and a miniaturization are demanded, and many flip chip mounting approaches are used increasingly that it should correspond to this demand. In this flip chip mounting approach, it is necessary to form two or more projection electrodes in the predetermined location of a semiconductor chip or a semiconductor device. Moreover, it is in the inclination for the number of formation of a projection electrode to also increase by densification. A semiconductor chip and a semiconductor device stop furthermore, functioning as a faulty connection occurring in at least one of the projection electrodes by which two or more arrangement is carried out.

[0003] Therefore, in order to perform reliable mounting, it is necessary to connect each projection electrode to a mounting substrate certainly.

[0004]

[Description of the Prior Art] For example, in the multi chip module (MCM), two or more projection electrodes (henceforth a bump) are formed in the whole surface of a bare chip-like semiconductor chip, and mounting this bare chip in a mother board by flip chip junction is performed. Moreover, BGA (Ball Grid Array) The semiconductor device of structure forms two or more bumps in the component side of a substrate which carried the semiconductor chip, and mounting this semiconductor device in a mounting substrate by flip chip junction is performed.

[0005] Conventionally, as an approach of forming the above-mentioned projection electrode, plating, vacuum deposition, the wire-bonding method, etc. are used, and, generally solder or gold (Au) is used as the quality of the material of a projection electrode. By the approach of forming a projection electrode with plating, it leaves a bump formation location to a semiconductor chip or a substrate, a resist is arranged, this is immersed in an electric-field plating bath, and a bump is grown up into a bump formation location. Moreover, in vacuum deposition, it leaves a bump formation location to a semiconductor chip or a substrate, a resist is arranged, vacuum evaporation equipment is equipped with this, and a bump is grown up into a bump formation location. Drawing 13 (A) shows the bump 2 formed on the semiconductor chip 1 by using plating or vacuum deposition.

[0006] On the other hand, by the wire-bonding method, after joining a golden wire to a bump formation location using wire-bonding equipment, when carrying out the minute amount rise of the capillary, a wire cut is performed, and this forms a stat bump in a bump formation location. Drawing 13 (B) shows the stat bump 3 formed on the semiconductor chip 1 by using the wire-bonding method.

[0007] Flip chip junction of the semiconductor chip or semiconductor device (henceforth [a semiconductor chip and a semiconductor device are named generically, and] a semiconductor device) with which the bump was formed as mentioned above is carried out at a mother board or a mounting substrate (henceforth [a mother board and a mounting substrate are named generically, and] a mounting substrate). For this reason, as shown in drawing 14 (A), the flat electrode 6 is formed in the location in which the bump 5 of the mounting substrate 4 was formed, and the corresponding location, and the semiconductor device 7 was considered as the configuration which the mounting substrate 4 is made to join electrically by carrying out flip chip junction of the bump 5 at this flat electrode 6. In addition, as for drawing 14 (B), the semiconductor device 7 shows the condition that flip chip junction was carried out at the mounting substrate 4.

[0008] Moreover, it depends for the flip chip approach at the time of junction on a bump's quality of the material. It considered as the configuration which a flat electrode is made to specifically join a bump by heated and pressurizing in the case of solder, and is joined to a flat electrode by in the case of a golden stat bump pressurizing after making conductive resin etc. intervene between a semiconductor device and a mounting substrate.

[0009]

[Problem(s) to be Solved by the Invention] By the way, in order for a bump 5 to make the flat electrode 6 formed on the mounting substrate 4, and stable connection in flip chip junction, it is indispensable to fixed-ize a bump's 5 height. For this reason, in the former, leveling processing for fixed-izing that height to a bump 5 is performed.

[0010] This leveling processing is processing which presses a bump's 5 upper part with the fixture 8 for leveling with which the press section was made into the flat side after a bump's 5 formation, and fabricates flat part 5a in a bump's 5 upper part, as shown in drawing 15 (A). However, since it was processing of only fabricating flat part 5a in a bump's 5 upper part, when variation is in the volume (magnitude) of bump 5 the very thing, a difference will produce the conventional leveling processing in the area of flat part 5a formed of leveling processing. That is, when a bump's 5 volume is large, the area of flat part 5a becomes large, and when a bump's 5 volume is conversely small, the area of flat part 5a becomes small.

[0011] Therefore, if flip chip junction of the semiconductor device 7 with which the bump 5 who has variation in the area of flat part 5a as mentioned above was formed is carried out at the mounting substrate 4, the trouble that variation will arise in the connection area of a bump 5 and a flat electrode 6, and a difference will arise in connection resistance (connection impedance) will arise. Thus, when a difference arises in connection resistance, in being the accelerated semiconductor device 7, it originates in a connection resistance difference, and variation arises in the processing speed of a semiconductor device 7, and a possibility that stable processing cannot be performed is in it.

[0012] This invention is made in view of the above-mentioned point, and it aims at offering the semiconductor device which

enabled stable flip chip junction, its manufacture approach, a mounting substrate, and its manufacture approach.

[0013]

[Means for Solving the Problem] The above-mentioned technical problem is solvable by providing the following means. It has the configuration in which two or more projection electrodes were arranged in invention according to claim 1 by the substrate in which a semiconductor chip or a semiconductor chip is carried. By connecting said projection electrode to the polar zone formed in the mounting substrate, in the semiconductor device mounted in said mounting substrate, the acute section is formed in the point of said projection electrode, and it is characterized by being mounted in said mounting substrate by inserting this acute section in said polar zone.

[0014] Moreover, in invention according to claim 2, said projection electrode is characterized by being formed with the quality of the material more nearly hard than said polar zone in said semiconductor device according to claim 1.

[0015] Moreover, it is characterized by providing the projection electrode formation process which is the manufacture approach of said semiconductor device according to claim 1 or 2, and forms two or more projection electrodes in the substrate in which a semiconductor chip or a semiconductor chip is carried, and the acute section formation process which forms the acute section by pressing the fixture for acute section formation to the formed projection electrode, and making said projection electrode transform by invention according to claim 3.

[0016] Moreover, in invention according to claim 4, it is characterized by using that by which the crevice corresponding to the configuration of said acute section was formed in the part which presses said projection electrode as a fixture for acute section formation used with an acute section formation process in the manufacture approach of said semiconductor device according to claim 3.

[0017] Moreover, in invention according to claim 5, it is characterized by forming in the formation location of said acute section, and a corresponding location the hole electrode which said acute section inserts in the mounting substrate with which said semiconductor device according to claim 1 or 2 is mounted.

[0018] Moreover, in invention according to claim 6, said hole electrode is characterized by being constituted by the pore formed in the substrate body, and the annular polar zone formed in this pore in said mounting substrate according to claim 5.

[0019] Moreover, it sets to the mounting substrate with which the substrate in which a semiconductor chip or a semiconductor chip is carried is equipped with the semiconductor device of a configuration of that two or more polar zone was arranged in invention according to claim 7. While forming two or more projection polar zone in the location corresponding to the polar zone arranged by said semiconductor device, the acute section is formed in the point of said projection electrode, and it is characterized by mounting said semiconductor device by inserting this acute section in said polar zone.

[0020] Moreover, in invention according to claim 8, said projection electrode is characterized by being formed with the quality of the material more nearly hard than said polar zone in said mounting substrate according to claim 7.

[0021] Moreover, the projection electrode formation process which forms a projection electrode in the polar zone formation location in the semiconductor device of the substrate body which is the manufacture approach of said mounting substrate according to claim 7 or 8, and constitutes a mounting substrate from invention according to claim 9, and a corresponding location. The fixture for acute section formation is pressed to the formed projection electrode, and it is characterized by providing the acute section formation process which forms the acute section by making said projection electrode transform.

[0022] Furthermore, in invention according to claim 10, it is characterized by using the thing of a configuration of that the crevice corresponding to the configuration of said acute section was formed in the part which presses said projection electrode as a fixture for acute section formation used with an acute section formation process in the manufacture approach of said mounting ***** according to claim 9.

[0023] Each above-mentioned means acts as follows. In a mounting condition, the acute section will be in the condition of having been pierced in the polar zone currently formed in the mounting substrate, by having considered as the configuration in which a semiconductor device is mounted in a mounting substrate by being inserted in the polar zone which forms the acute section in the point of the projection electrode by which two or more arrangement was carried out and by which this acute section was formed in the mounting substrate at the substrate according to invention according to claim 1.

[0024] Thus, when the acute section formed in the point of a projection electrode inserts in the polar zone currently formed in the mounting substrate, though it could increase and variation has produced an electric connection area of a projection electrode and the polar zone in the magnitude of a projection electrode, electrical installation of a projection electrode and the polar zone can be performed certainly.

[0025] Furthermore, since it becomes unnecessary to face performing electrical installation of a projection electrode and the polar zone, and to make other conductive members intervene between a semiconductor device and a mounting substrate, reduction of components mark and simplification of a production process can be attained. Moreover, according to invention claim 2 and given in eight, since the projection electrode is formed with the quality of the material more nearly hard than the polar zone, it can insert in the polar zone certainly the acute section formed in the projection electrode.

[0026] Moreover, according to invention according to claim 3, it faces manufacturing said semiconductor device according to claim 1 or 2. In the acute section formation process which forms two or more projection electrodes in the substrate in which a semiconductor chip or a semiconductor chip is carried in a projection electrode formation process, and is carried out continuously By pressing the fixture for acute section formation to the formed projection electrode, making a projection electrode transform, and forming the acute section, the acute section can be formed easily.

[0027] A production process seems namely, for this not to complicate it, even if it replaces an acute section formation process with the leveling processing currently carried out conventionally, it is performed and forms an acute section formation process. Moreover, since an acute section formation process is a process which forms the acute section by pressing [as opposed to / only / a projection electrode] the fixture for acute section formation, it can form the acute section easily.

[0028] Moreover, according to invention claim 4 and given in ten, in an acute section formation process, the acute section can be formed easily and certainly with the fixture of an easy configuration by having used the fixture for acute section formation with which the crevice corresponding to the configuration of the acute section was formed in the part which presses a projection electrode.

[0029] Moreover, when a mounting substrate is equipped with said semiconductor device according to claim 1 or 2 by having formed in the formation location of the acute section, and the corresponding location the hole electrode which the acute section inserts according to invention claim 5 and given in six, the acute section of a projection electrode is inserted in a hole electrode. Therefore, since-izing of the connection condition of a projection electrode and a hole electrode can be carried out [fixed] and connection area is also fixed-ized in connection with this, the stable electrical property can be acquired.

[0030] Moreover, according to invention according to claim 7, in a mounting condition, the acute section will be in the condition of having been pierced in the polar zone currently formed in the mounting substrate, by having formed the acute section in the mounting substrate at the point of the projection electrode by which two or more arrangement was carried out, and having considered as the configuration which mounts a semiconductor device in a mounting substrate when this acute section inserts in the polar zone.

[0031] Thus, when the acute section inserts in the polar zone, though it could increase and variation has produced an electric connection area of a projection electrode and the polar zone in the magnitude of a projection electrode, electrical installation of a projection electrode and the polar zone can be performed certainly. Furthermore, since it becomes unnecessary to face performing electrical installation of a projection electrode and the polar zone, and to make other conductive members intervene between a semiconductor device and a mounting substrate, reduction of components mark and simplification of a production process can be attained.

[0032] Furthermore, according to invention according to claim 9, face manufacturing said mounting substrate according to claim 7 or 8, and form two or more projection electrodes in the substrate body which constitutes a mounting substrate in a projection electrode formation process, and they are set to the acute section formation process carried out continuously at it. By pressing the fixture for acute section formation to the formed projection electrode, making a projection electrode transform, and forming the acute section, the acute section can be formed easily.

[0033] A production process seems namely, for this not to complicate it, even if it replaces an acute section formation process with the leveling processing currently carried out conventionally, it is performed and forms an acute section formation process. Moreover, since an acute section formation process is a process which forms the acute section by ** which presses [as opposed to / only / a projection electrode] the fixture for acute section formation, it can form the acute section easily.

[0034]

[Embodiment of the Invention] Next, the gestalt of operation of this invention is explained with a drawing. Drawing 1 and drawing 2 show the semiconductor device 10 which is one example of this invention, and the condition before drawing 2 mounts a semiconductor device 10 in the mounting substrate 11 for the condition that drawing 1 mounted the semiconductor device 10 in the mounting substrate 11 again is shown.

[0035] In addition, although this invention is applicable to the both sides of the semiconductor chip with which the bump was formed, and a semiconductor device (for example, semiconductor device of BGA structure), in the following explanation, it shall name generically this semiconductor chip and semiconductor device, and shall call them a semiconductor device 10. In the example shown in drawing 1 and drawing 2, the example which used the semiconductor chip as a semiconductor device 10 is shown, and two or more projection electrodes 13 (henceforth a bump) are formed in the mounting substrate 11 of the body 12 of a chip, and the field which counters. High-melting solder is used as an ingredient and this bump 13 is characterized by forming the acute section 15 in the point of a base 14.

[0036] The base 14 is joined to the pad 37 (shown in drawing 3) with which the end section is formed in the semiconductor device 10, and, thereby, the bump 13 is electrically connected with the semiconductor device 10. Moreover, the acute section 15 is formed in one with the base 14, for example, has the configurations where it sharpened, such as a cone configuration. This acute section 15 is formed in the center of the flat part 16 formed in the point of a base 14, and is considered as the configuration projected towards the mounting substrate 11.

[0037] As the mounting substrate 11 with which the semiconductor device 10 considered as the above-mentioned configuration is mounted on the other hand is shown in drawing 4 in addition to drawing 1 and drawing 2, two or more polar zone 18 is formed in the semiconductor device 10 of the substrate body 17, and the field which counters. This polar zone 18 is formed with the soft ingredient (for example, gold (Au)) to a bump's 13 ingredient which has the projection electrode-like (shape of bump) configuration, and is arranged by the semiconductor device 10. Furthermore, the arrangement location of the polar zone 18 is constituted so that it may correspond with a bump's 13 formation location.

[0038] Then, how to mount the semiconductor device 10 considered as the above-mentioned configuration in the mounting substrate 11 is explained. In order to mount a semiconductor device 10 in the mounting substrate 11, as shown in drawing 2, a semiconductor device 10 and the mounting substrate 11 are positioned, and continuously, a semiconductor device 10 is turned to the mounting substrate 11, and is pressed so that a bump 13 and the bump-like polar zone 18 may counter. As mentioned above, since a bump 13 and the polar zone 18 are positioned, a bump 13 is pressed towards the polar zone 18 by turning a semiconductor device 10 to the mounting substrate 11, and pressing it.

[0039] Under the present circumstances, as mentioned above, the acute section 15 which sharpened in that point is formed, and the bump 13 is formed of the hard quality of the material to the polar zone 18, and further, since the bump 13 is made into the shape of a bump, the polar zone 18 inserts the acute section 15 in the polar zone 18 for her by the above-mentioned press processing.

[0040] Drawing 3 expands and shows the condition that the acute section 15 formed in the bump 13 inserted in the polar zone 18. As shown in this drawing, after the bump 13 has inserted in the polar zone 18, the acute section 15 is in the condition of having been pierced in the polar zone 18. Thus, since the acute section 15 formed in a bump's 13 point inserts a semiconductor device 10 in the polar zone 18 currently formed in the mounting substrate 11 in the condition of having mounted in the mounting substrate 11, an electric connection area of a bump 13 and the polar zone 18 can be increased. That is, since the acute section 15 is made into the configuration where surface areas, such as a cone configuration, are large as described above, the touch area of a bump 13 and the polar zone 18 increases.

[0041] Therefore, though variation has arisen in a bump's 13 magnitude, the touch area of a bump 13 and the polar zone 18 becomes large enough, and can perform electrical installation of the polar zone 18 certainly with a bump 13. The processing stabilized even if it was the semiconductor device 10 which could prevent by this that variation occurred in connection resistance (connection impedance) in the electrical installation location of a bump 13 and the polar zone 18, therefore was accelerated is securable.

[0042] Moreover, it faces performing electrical installation of a bump 13 and the polar zone 18, and since the conductive member needed with the mounting structure using the conventional stat bump 3 becomes unnecessary, compared with the mounting structure using the conventional stat bump 3, reduction of components mark and simplification of a production process can be attained.

[0043] Furthermore, in this example, since it considers as the configuration which connects by making a bump 13 insert in the polar zone 18 mechanically, heat-treatment needed when connecting a bump to the polar zone conventionally can be made unnecessary. Therefore, while being able to attain simplification of mounting processing, it can prevent that a heat damage

zone 18, it is good as usual also as a configuration which joins a bump 13 and the polar zone 18 under a heating ambient atmosphere at the time of mounting.

[0044] Then, the manufacture approach of the semiconductor device 10 considered as the above-mentioned configuration is explained. In addition, since the manufacture approach of the semiconductor device 10 concerning this invention has the description in a bump's 13 formation approach, it shall explain only a bump's 13 formation approach in the following explanation.

[0045] A bump 13 is formed by carrying out a projection electrode formation process and an acute section formation process. A projection electrode formation process is a process which forms bump 13a in the condition that the acute section 15 is not formed in the predetermined location of a semiconductor device 10 (namely, the former bump of a configuration), and an acute section formation process is a process which forms the acute section 15 to bump 13a formed with the projection electrode formation process. Hereafter, each configuration is explained.

[0046] In order to form a bump 13, in a projection electrode formation process, bump 13a is formed in the predetermined location of a semiconductor device 10 using plating, vacuum deposition, or the wire-bonding method. Especially the formation approach of this bump 13a is not limited, and may be formed using any of the above-mentioned all directions method. Moreover, generally each formation approach of the above-mentioned bump 13a is learned as the bump formation approach, and can form bump 13a, using the bump formation facility therefore used from the former as it is.

[0047] Drawing 5 shows the semiconductor device 10 with which bump 13a was formed by carrying out a projection electrode formation process. Where this projection electrode formation process is completed, the acute section 15 is not formed in bump 13a yet, but, therefore, bump 13a has become spherical or a pillar-shaped configuration (drawing 5 shows a spherical configuration).

[0048] Termination of a projection electrode formation process carries out an acute section formation process continuously. In an acute section formation process, as shown in drawing 6 and drawing 7, the acute section 15 is formed in the point of bump 13a using the fixture 19 (only henceforth a fixture) for acute section formation. As shown in drawing 6 and drawing 8 (A), the fixture 19 has the crevice 20 of a cone configuration, and the annular flat-surface section 21 in the point which contacts bump 13a, and is considered as the configuration which moves up and down by the elevator style which is not illustrated. In case the acute section 15 is formed in bump 13a, as shown to drawing 6 by the elevator style, a fixture 19 descends towards bump 13a, and pressurizes the point of bump 13a.

[0049] Under the present circumstances, a fixture 19 functions as a die and, therefore, the acute section 15 corresponding to the configuration of a crevice 20 is formed in the point of bump 13a. Moreover, the flat part 16 corresponding to the flat-surface section 21 is also formed in the point of bump 13a at coincidence. Thereby, the bump 13 with the base 14 shown in drawing 7, the acute section 15, and a flat part 16 is formed.

[0050] A production process seems for this not to complicate it, even if it replaces the above-mentioned acute section formation process with the leveling processing (refer to drawing 15) currently carried out conventionally, it is performed and forms an acute section formation process. Moreover, the elevator style which moves a fixture 19 up and down is also used as a device in which the fixture 8 for leveling is driven in the conventional leveling processing, and becomes possible [forming the acute section 15 only by therefore exchanging the fixture 8 for leveling for a fixture 19]. Furthermore, to projection electrode 13a, since an acute section formation process is only processing which presses a fixture 19, it can only form the acute section 15 easily.

[0051] In addition, although the fixture 19 used with the above-mentioned acute section formation process was the thing of a configuration of forming the one acute section 15 at a time to two or more bump 13a formed in the semiconductor device 10. By preparing the fixture 22 of a configuration of having formed two or more crevices 20 in the flat-surface section 21 so that it may correspond to the formation location of two or more bump 13a, and carrying out an acute section formation process using this fixture 22, as shown in drawing 8 (B) it becomes possible to form the acute section 15 efficiently to two or more bump 13a.

[0052] Moreover, the effectiveness of the leveling processing currently carried out conventionally can be maintained as it is, and the height of the flat part 16 formed in coincidence at the time of formation of the acute section 15 consists of above-mentioned acute section formation processes so that it may become uniform. Then, the 1st example of the mounting substrate concerning this invention is explained.

[0053] Drawing 9 shows the condition that the semiconductor device 30 of BGA structure was mounted in the mounting substrate 25 concerning the 1st example. First, the semiconductor device 30 of BGA structure is explained. If the profile of the semiconductor device 30 of BGA structure is carried out, it is constituted by two or more bumps 34 (henceforth the polar zone) who are a substrate 31, closure resin 33, and a projection electrode.

[0054] It is a substrate made from glass epoxy, and while carrying a semiconductor chip 32 in the top-face 31a, as for the substrate 31, the wiring 35 which has a predetermined pattern is formed. The predetermined location and semiconductor chip 32 of this wiring 35 are electrically connected using the wire 36. Moreover, closure resin 33 is formed in top-face 31a of a substrate 31 so that a semiconductor chip 32 and a wire 36 may be closed, and it considers as the configuration from which a semiconductor chip 32 and a wire 36 are protected by this closure resin 33 to the exterior.

[0055] On the other hand, two or more bump polar zone 34 is arranged in inferior-surface-of-tongue 31b of a substrate 31. This polar zone 34 functions as an external connection terminal of a semiconductor device 30, and is connected to wiring 35 by wiring and the through hole (not shown [both]) which were formed in the substrate 31. Therefore, the semiconductor chip 32 is considered as a wire 36, wiring, and the configuration electrically connected to the polar zone 34 through the through hole.

[0056] The semiconductor device 30 by which the configuration was carried out [above-mentioned] is mounted in the mounting substrate 25. The mounting substrate 25 is considered as the configuration which formed two or more bumps 26 in the substrate body 24. This bump's 26 formation location is constituted so that it may correspond with the formation location of the polar zone 34 established in the semiconductor device 30. Moreover, as an ingredient, high-melting solder is used and the bump 26 is considered as the configuration which formed a base 27, the acute section 28, and a flat part 28 in one like the bump 13 arranged in the above mentioned semiconductor device 10 side.

[0057] The base 27 is joined to the pad (not shown) with which the end section is formed in the substrate body 24, and, thereby, the bump 26 is electrically connected with the mounting substrate 25. Moreover, the acute section 28 has the configurations where it sharpened, such as a cone configuration, and it is formed so that it may project towards the upper part in the center of the flat part 29 formed in the point of a base 27. In addition, let a bump's 26 quality of the material be a hard ingredient to the quality of the material of the polar zone 34 prepared in the above mentioned semiconductor device 30.

[0058] In order to mount a semiconductor device 30 in the mounting substrate 25 considered as the above-mentioned configuration, a semiconductor device 30 and the mounting substrate 25 are positioned, and continuously, a semiconductor

device 30 is turned to the mounting substrate 25, and is pressed so that a bump 26 and the polar zone 34 may counter. Thereby, the polar zone 34 is pressed towards a bump 26. Under the present circumstances, as mentioned above, the acute section 28 which sharpened in that point is formed, and since the bump 26 is formed of the hard quality of the material to the polar zone 34, a bump 26 inserts the acute section 28 in the polar zone 34 by the above-mentioned press processing.

[0059] Thus, since the acute section 28 inserts a semiconductor device 30 in the polar zone 34 in the condition of having mounted in the mounting substrate 25, an electric connection area of a bump 26 and the polar zone 34 can be increased.

Therefore, though variation has arisen in the magnitude of a bump 26 or the polar zone 34, the touch area of a bump 26 and the polar zone 34 becomes large enough, and can perform electrical installation of the polar zone 34 certainly with a bump 26.

[0060] The processing stabilized even if it was the semiconductor device 30 which could prevent by this that variation occurred in connection resistance (connection impedance) in the electrical installation location of a bump 26 and the polar zone 34, therefore was accelerated is securable. Moreover, it is not necessary to make a conductive member able to intervene between a semiconductor device 30 and the mounting substrate 25, and reduction of components mark and simplification of a production process can be attained.

[0061] Furthermore, in this example, since it considers as the configuration which connects by making a bump 26 insert in the polar zone 34 mechanically, on the occasion of both 26 and 34 connection, heat-treatment can be made unnecessary, and it can prevent that a heat damage therefore occurs in simplification and semiconductor device 30 of mounting processing.

[0062] In addition, since it is the same as that of the formation approach of the bump 13 who explained how to form a bump 26 in the mounting substrate 25 using drawing 5 thru/or drawing 8, the explanation is omitted. Then, the 2nd example of the mounting substrate concerning this invention is explained. Drawing 10 shows the mounting substrate 40 concerning the 2nd example. The mounting substrate 40 concerning this example is characterized by forming two or more hole electrodes 42 in the substrate body 41, and the semiconductor device 10 shown in drawing 1 is mounted.

[0063] The hole electrode 42 formed in this mounting substrate 40 is constituted by pore 42a formed in the substrate body 41, and annular polar-zone 42b formed in this pore 42a. Moreover, the formation location of the hole electrode 42 is set up so that it may correspond with a bump's 13 formation location established in the semiconductor device 10. As the formation approach of this hole electrode 42, the through hole formation technique generally used as one of the substrate formation techniques can be used, and, therefore, the hole electrode 42 can be formed easily.

[0064] Drawing 11 shows the condition that the semiconductor device 10 shown in the mounting substrate 40 concerning the 2nd example at drawing 1 was mounted. As shown in this drawing, the bump 13 formed in the semiconductor device 10 in the mounting condition connects with the hole electrode 42 formed in the mounting substrate 40 electrically. The acute section 15 formed in the bump 13 in the mounting condition is inserted in pore 42a of the hole electrode 42, and, specifically, the flat part 16 formed in the bump 13 contacts the upper part of annular polar-zone 42b of the hole electrode 42.

[0065] As mentioned above, since-izing of the connection condition of a bump 13 and the hole electrode 42 can be carried out [fixed] and connection area is also fixed-ized in connection with this when a bump's 13 flat part 16 and annular polar-zone 42b which could perform [both] uniquely positioning with a bump 13 and the hole electrode 42, and were made into the flat side when the acute section 15 inserted in pore 42a contact, the stable electrical property can be acquired.

[0066] Drawing 12 shows the configuration which formed the backing material 43 from the background of the hole electrode 42, in order to strengthen the connection structure in drawing 11 more. This backing material 43 consists of solder, and is considered as the configuration filled up with and arranged in pore 42a from the background of the hole electrode 42.

[0067] By considering as this configuration, an electric connection area of the acute section 15 and the hole electrode 42 can be increased further, and, therefore, electrical installation of a bump 13 and the hole electrode 42 can be performed more certainly. Moreover, since the mechanical-connections reinforcement of a bump 13 and the hole electrode 42 also improves in connection with this, the dependability of mounting can be raised more.

[0068]

[Effect of the Invention] According to this invention, the following various effectiveness is realizable like ****. According to invention claim 1 and given in seven, when the acute section formed in the point of a projection electrode in the mounting condition inserts in the polar zone currently formed in the mounting substrate, though it could increase and variation has produced an electric connection area of a projection electrode and the polar zone in the magnitude of a projection electrode, electrical installation of a projection electrode and the polar zone can be performed certainly. Moreover, since it becomes unnecessary to face performing electrical installation of a projection electrode and the polar zone, and to make other conductive members intervene between a semiconductor device and a mounting substrate, reduction of components mark and simplification of a production process can be attained.

[0069] Moreover, according to invention claim 2 and given in eight, since the projection electrode is formed with the quality of the material more nearly hard than the polar zone, it can insert in the polar zone certainly the acute section formed in the projection electrode. Moreover, since according to invention claim 3 and given in nine press the fixture for acute section formation to a projection electrode in an acute section formation process, a projection electrode is made to transform and the acute section is formed, the acute section can be formed easily.

[0070] Moreover, according to invention claim 4 and given in ten, the acute section can be formed easily and certainly with the fixture of an easy configuration by having used the fixture for acute section formation with which the crevice corresponding to the configuration of the acute section was formed in the part which presses a projection electrode in an acute section formation process.

[0071] Furthermore, since according to invention claim 5 and given in six-izing of the connection condition of a projection electrode and a hole electrode can be carried out [fixed] and connection area is also fixed-ized in connection with this, the stable electrical property can be acquired.

[Translation done.]

THIS PAGE BLANK (USPTO)

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. *** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] the semiconductor device which is one example of this invention — a mounting substrate — mounting — ** — it is drawing showing a condition.

[Drawing 2] It is drawing showing the condition before the semiconductor device which is one example of this invention is mounted in a mounting substrate.

[Drawing 3] It is drawing expanding and showing the connection part of a bump and the polar zone.

[Drawing 4] It is drawing showing the mounting substrate with which the semiconductor device which is one example of this invention is mounted.

[Drawing 5] It is drawing for explaining the manufacture approach of the semiconductor device which is one example of this invention (projection electrode formation process).

[Drawing 6] It is drawing for explaining the manufacture approach of the semiconductor device which is one example of this invention (acute section formation process).

[Drawing 7] It is drawing expanding and showing the acute section formed by the acute section formation process.

[Drawing 8] It is drawing for explaining the fixture for acute section formation used with an acute section formation process.

[Drawing 9] It is drawing for explaining the 1st example of the mounting substrate concerning this invention.

[Drawing 10] It is drawing for explaining the 2nd example of the mounting substrate concerning this invention.

[Drawing 11] It is drawing expanding and showing the condition that the bump joined in the mounting substrate concerning the 2nd example.

[Drawing 12] In the junction condition shown in drawing 11, it is drawing showing the configuration which backed solder.

[Drawing 13] It is drawing for explaining the bump prepared in the conventional semiconductor device.

[Drawing 14] It is drawing for explaining the mounting approach of the conventional semiconductor device.

[Drawing 15] It is drawing for explaining the manufacture approach of the conventional semiconductor device.

[Description of Notations]

10 30 Semiconductor device

11, 25, 40 Mounting substrate

13, 13a, 26 Bump

14 27 Base

15 28 Acute section

16 29 Flat part

18 34 Polar zone

19 22 Fixture (fixture for acute section formation)

20 Crevice

21 Flat-Surface Section

31 Substrate

32 Semiconductor Chip

42 Hole Electrode

43 Backing Material

[Translation done.]

THIS PAGE BLANK (USPTO)

* NOTICES *

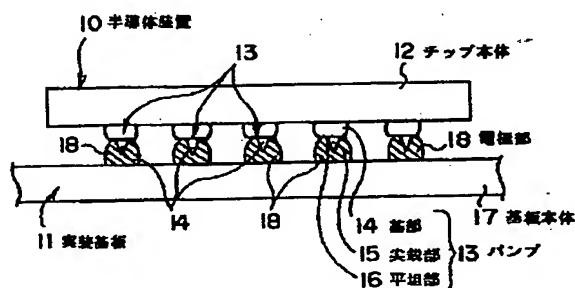
Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. *** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

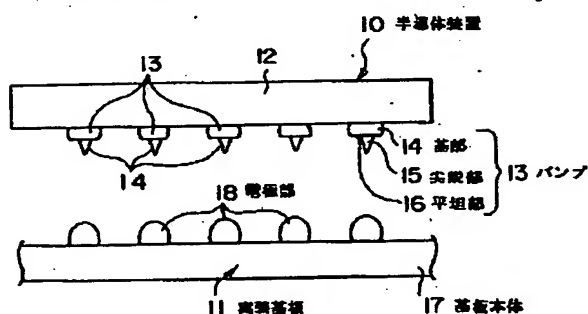
[Drawing 1]

本発明の一実施例である半導体装置が実装基板に実装された状態を示す図



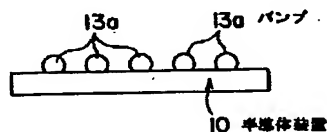
[Drawing 2]

本発明の一実施例である半導体装置が実装基板に実装される前の状態を示す図



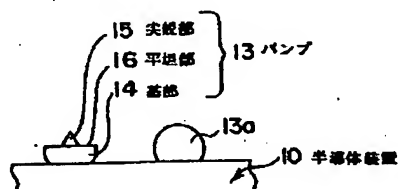
[Drawing 5]

本発明の一実施例である半導体装置の製造方法を説明するための図（突起電極形成工程）



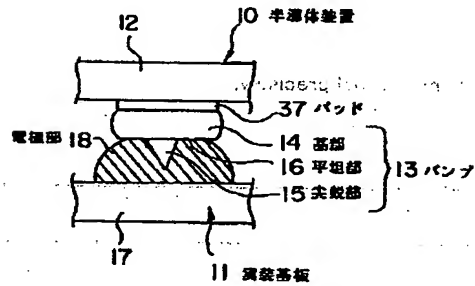
[Drawing 7]

尖鋭部形成工程により形成された尖鋭部を拡大して示す図



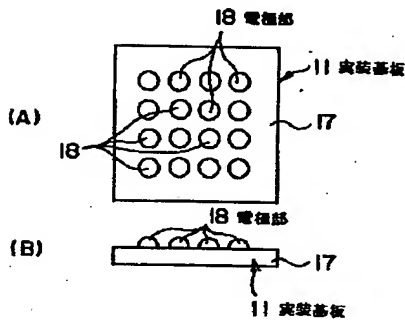
[Drawing 3]

ポンプと電極部との接続部分を拡大して示す図



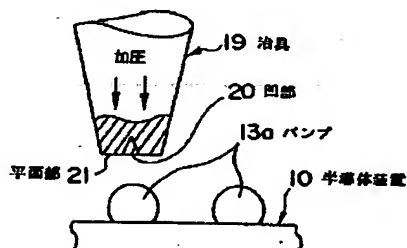
[Drawing 4]

本発明の一実施例である半導体装置が実装される実装基板を示す図



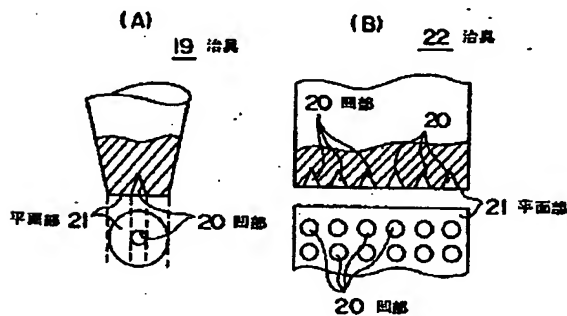
[Drawing 6]

本発明の一実施例である半導体装置の製造方法を説明するための図（尖鋭部形成工程）



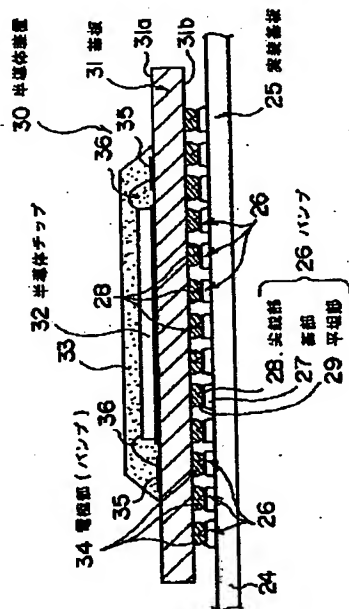
[Drawing 8]

尖鋭部形成工程で用いる尖鋭部形成用治具を説明するための図



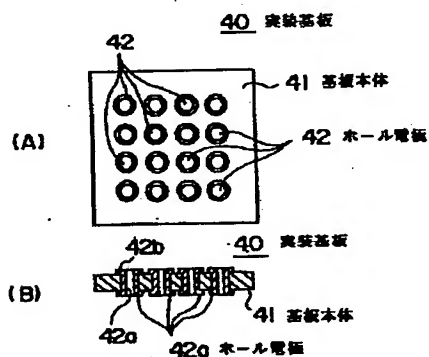
[Drawing 9]

本発明に係る実装基板の第１実施例を説明するための図



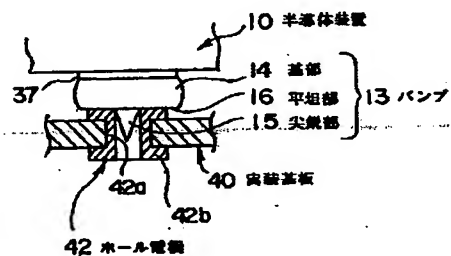
[Drawing 10]

【Drawing 10】
本発明に係る実装基板の第2実施例を説明するための図



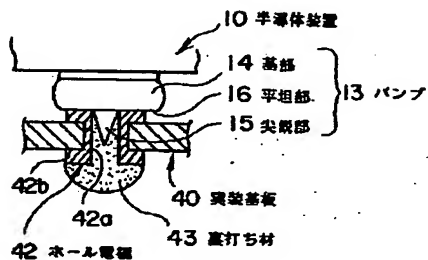
[Drawing 11]

[Drawing 11]
第2実施例に係る実装基板にポンプが接合した状態を拡大して示す図



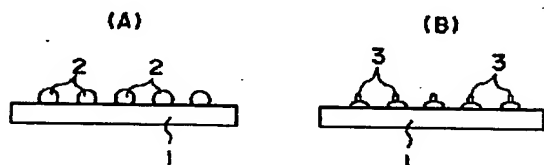
[Drawing 12]

図 11 に示す接合状態において、半田を裏打ちした構成を示す図



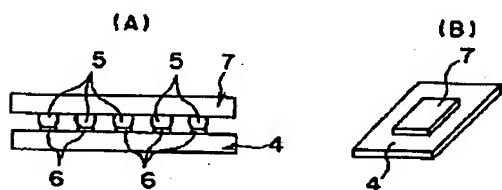
[Drawing 13]

従来の半導体装置に設けられる bumps を説明するための図



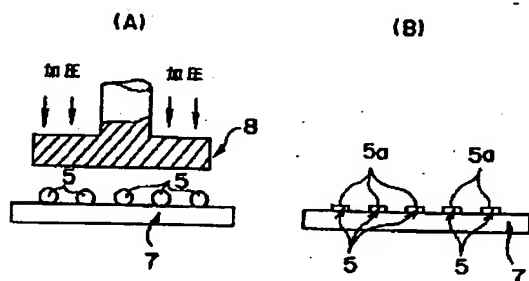
[Drawing 14]

従来の半導体装置の実装方法を説明するための図



[Drawing 15]

従来の半導体装置の製造方法を説明するための図



[Translation done.]

BEST AVAILABLE COPY
THIS PAGE BLANK (USPTO)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

